

Spis treści

Wstęp	7
1. Charakterystyka układów programowalnych.....	11
1.1. Wstęp	12
1.2. Klasyfikacja układów programowalnych	12
1.3. Konfigurowanie układów programowalnych	15
1.4. Parametry eksploatacyjne układów programowalnych.....	17
1.4.1. Szybkość działania	17
1.4.1.1. Model czasów opóźnień dla układów rodziny MAX7000	18
1.4.1.2. Model czasów opóźnień dla układów rodziny XC9500	21
1.5. Pobór mocy przez układy PLD	23
1.5.1. Moc tracona w układach CPLD	25
1.5.1.1. Model poboru mocy przez układy rodziny MAX7000	26
1.5.1.2. Model poboru mocy przez układy rodziny XC9500	28
1.6. Charakterystyki wyjściowe.....	28
1.7. Układy programowalne w systemach cyfrowych z mieszanym zasilaniem 3,3 V i 5 V.....	32
1.8. Inne parametry i mniej znane właściwości układów PLD	34
1.8.1. Czas włączania układu PLD.....	34
1.8.2. Trwałość nieulotnej pamięci konfiguracji	35
1.8.3. Usprawnienia w obwodach wejściowych	35
1.8.4. Usprawnienia buforów wyjściowych	36
1.9. Ceny i dostępność układów PLD	37
2. Realizacja projektów układów w strukturach PLD.....	39
2.1. Wstęp	40
2.2. Etapy realizacji	40
2.3. Specyfikacja projektowanego układu.....	41
2.4. Implementacja projektu	43
2.5. Weryfikacja projektu	45
2.6. Języki HDL.....	45
2.7. Oprogramowanie projektowe	47
3. Pakiet oprogramowania projektowego Max+Plus II firmy Altera.....	51
3.1. Wstęp	52
3.2. Możliwości systemu Max+Plus II Baseline.....	52
3.3. Instalacja i licencjonowanie programu.....	54
3.4. Pierwszy projekt	57
3.4.1. Wprowadzanie i edycja opisu projektu.....	59
3.4.2. Kompilacja projektu, określenie docelowego układu programowalnego i rozmieszczenie wyprowadzeń.....	67
3.4.3. Symulacja czasowa i funkcjonalna	79
3.4.4. Programowanie układu	86

3.5.	Inne możliwości systemu Max+Plus II.....	88
3.5.1.	Konfigurowalne bloki logiczne LPM oraz MegaWizard.....	88
3.5.2.	Wzorce standardowych dokumentów tekstowych.....	90
3.5.3.	Monitor hierarchii.....	90
3.5.4.	Synteza logiczna z wykorzystaniem wykresów czasowych.....	90
3.6.	Syntezer PALACE.....	93
3.6.1.	Współpraca syntezer PALACE z Max+Plus II.....	93
3.6.2.	Obsługa syntezer PALACE.....	94
3.7.1.	Instalacja programu.....	96
3.7.2.	Konfigurowanie Max+Plus II do współpracy z syntezerem Advanced Synthesis Tool.....	98
3.7.3.	Realizacja przykładowego projektu.....	99
4.	Pakiet oprogramowania narzędziowego WebPack ISE firmy Xilinx.....	105
4.1.	Wstęp.....	106
4.1.1.	WebPack ISE w wersji 3.3/WP8.1.....	106
4.1.2.	Możliwości pakietu WebPack ISE 3.3/WP8.1.....	107
4.1.3.	WebPack ISE w wersji 6.2i.....	108
4.1.4.	Możliwości pakietu WebPack ISE 6.2i.....	108
4.2.	Instalacja i licencjonowanie programu.....	109
4.2.1.	Informacje wstępne.....	109
4.2.2.	Rejestracja użytkownika na stronie www.xilinx.com.....	110
4.2.3.	Możliwe konfiguracje pakietu WebPack ISE.....	111
4.2.4.	Licencja dla programu ModelSIM XE.....	114
4.2.5.	Instalacja pakietu WebPack ISE 3.3.....	115
4.2.6.	Instalacja pakietu w wersji 6.2i.....	116
4.3.	Obsługa pakietu WebPack ISE.....	117
4.3.1.	Informacje wstępne.....	118
4.3.2.	Pierwszy projekt.....	123
4.3.3.	Realizacja przykładowego projektu układu w układzie FPGA.....	123
4.3.3.1.	Wprowadzanie nowego projektu i opis układu.....	123
4.3.3.2.	Wprowadzanie i edycja ograniczeń (parametrów projektu).....	132
4.3.3.3.	Kompilacja i symulacja czasowa projektowanego układu.....	133
4.3.3.4.	Modyfikacja rozmieszczenia projektu w strukturze układu.....	136
4.3.3.5.	Programowanie układu docelowego.....	138
4.3.3.6.	Symulacja projektowanego układu.....	141
4.3.3.7.	Edytor grafów StateCAD.....	149
4.3.4.	Realizacja przykładowego projektu w układach CPLD.....	158
4.4.	Nowości wprowadzone do WebPack ISE 6.2i.....	163
5.	Programowanie i konfigurowanie układów PLD w systemie.....	171
5.1.	Wstęp.....	172
5.2.	Interfejs JTAG.....	173
5.2.1.	Budowa interfejsu JTAG.....	173
5.2.2.	Interfejs JTAG zgodny z normą IEEE1532.....	176
5.2.3.	STAPL – język obsługi interfejsów JTAG.....	178
5.2.4.	Praktyczne aspekty stosowania interfejsu JTAG.....	179

5.3.	Programatory ISP układów PLD.....	180
5.3.1.	ByteBlaster MV – programator ISP firmy Altera.....	180
5.3.2.	DLC5 – programator ISP firmy Xilinx.....	182
5.3.3.	Uniwersalny programator układów PLD.....	183
5.3.4.	Wykorzystanie programatora stacjonarnego do programowania ISP układów PLD.....	186
6.	Przykładowe projekty	191
6.1.	Wstęp.....	192
6.2.	Zestaw laboratoryjny.....	192
6.2.1.	Konfiguracja zestawu z układem EPM7128S.....	197
6.2.2.	Konfiguracja zestawu z układem XC95108.....	202
6.2.3.	Konfiguracja zestawu z dwoma układami EPM3032A połączonymi w łańcuch JTAG.....	206
6.2.4.	Konfiguracja zestawu z dwoma układami ATF1502ASL połączonymi w łańcuch JTAG.....	209
6.2.5.	Konfiguracja zestawu z dwoma układami XC9536XL połączonymi w łańcuch JTAG.....	211
6.3.	Przykłady opisu elementarnych bloków funkcjonalnych.....	212
6.3.1.	Wstęp.....	212
6.3.2.	Przykład 1. Podstawowe bramki logiczne.....	214
6.3.3.	Przykład 2. Dekoder adresowy opisany równaniami.....	216
6.3.4.	Przykład 3. Dekoder adresowy opisany z użyciem instrukcji wyboru when.....	217
6.3.5.	Przykład 4. Dekoder siedmiosegmentowy opisany za pomocą tablicy wartości.....	219
6.3.6.	Przykład 5. Bufory trójstanowe.....	221
6.3.7.	Przykład 6. Multiplexer „2 na 1” z zastosowaniem buforów trójstanowych.....	223
6.3.8.	Przykład 7. Podwójny multiplexer „4 na 1”.....	225
6.3.9.	Przykład 8. Przerzutniki.....	227
6.3.10.	Przykład 9. Port dwukierunkowy.....	232
6.3.11.	Przykład 10. Komparator.....	234
6.3.12.	Przykład 11. Rejestr przesuwający z wejściami: szeregowym i równoległym oraz z wyjściem szeregowym.....	236
6.3.13.	Przykład 12. Układ sekwencyjny o zadanym grafie przejść (automat).....	238
6.3.14.	Przykład 13. Dwukierunkowy licznik NKB.....	242
6.3.15.	Przykład 14. Dwukierunkowy licznik NKB z wejściami wpisu równoległego.....	245
6.3.16.	Przykład 15. Przykład hierarchicznego opisu projektu.....	247
	Dodatki	251
	Dodatek A. Stabilizatory LDO.....	252
	Dodatek B. Dokumentacje techniczne.....	255
	Dodatek C. Schematy elektryczne adapterów z układami połączonymi w łańcuchy JTAG.....	261
	Dodatek D. Adresy internetowe.....	265
	Dodatek E. Zawartość CD-ROM.....	267
	Dodatek F. Wmiary obudowy FQFP44.....	268
	Słownik	269
	Skorowidz.....	277