
Wstęp	9
1. Elementy modelowania strukturalnego i operatory	13
1.1. Pojęcia podstawowe.....	15
1.1.1. Identyfikatory.....	15
1.1.2. Znaki białe.....	15
1.1.3. Komentarze.....	16
1.1.4. Czteropoziomowa wartość logiczna bitu.....	16
1.1.5. Reprezentacja liczb.....	16
1.2. Moduł i lista portów wejścia-wyjścia.....	17
1.3. Typy danych.....	19
1.4. Podstawowe elementy logiczne.....	20
1.5. Instancje modułów.....	24
1.6. Hierarchia.....	26
1.7. Selekcja bitu.....	27
1.8. Tablice instancji.....	28
1.9. Przypisania ciągle.....	30
1.10. Parametry.....	32
1.11. Operatory.....	35
1.10.1. Operatory arytmetyczne.....	36
1.10.2. Operatory relacji.....	36
1.10.3. Operatory porównania.....	37
1.10.4. Operatory logiczne.....	37
1.10.5. Operatory bitowe.....	38
1.10.6. Operatory redukcji.....	39
1.10.7. Operatory przesunięcia bitowego.....	40
1.10.8. Operator warunkowy.....	40
1.10.9. Operator sklejanca (konkatenacji).....	41
1.10.10. Priorytet operatorów.....	42
1.10.11. Rozmiar bitowy wyrażenia.....	44
2. Wstęp do symulacji	45
2.1. Instrukcje <i>initial</i> i <i>always</i>	49
2.2. Opóźnienia.....	49
2.3. Blok <i>begin...end</i>	51
2.4. Blok <i>fork...join</i>	54
2.5. Jednostka testowa dla modułu sumatora pełnego.....	55

3. Modelowanie układów kombinacyjnych	63
3.1. Modelowanie behawioralne	64
3.2. Układy kombinacyjne	65
3.3. Lista wrażliwości procesu	66
3.4. Instrukcja warunkowa	67
3.5. Wnioskowanie rejestrów zatraskowych	69
3.6. Instrukcja <i>case</i>	70
3.6.1. Wartości nieistotne a instrukcja <i>case</i>	73
3.6.2. Atrybuty <i>full_case</i> i <i>parallel_case</i>	75
3.7. Modelowanie elementów trójstanowych	77
3.8. Funkcje i zadania	78
3.8.1. Funkcje	80
3.8.2. Zadania	81
3.9. Pętle	82
3.9.1. Pętla <i>forever</i>	82
3.9.2. Pętla <i>repeat</i>	83
3.9.3. Pętla <i>while</i>	85
3.9.4. Pętla <i>for</i>	86
3.10. Instrukcja <i>disable</i>	87
3.11. Zasięg nazw	88
3.12. Nazwy hierarchiczne	90
3.13. Instrukcja <i>generate</i>	91
3.14. Przykład: enkoder priorytetowy	94
3.15. Reguły specyfikacji układów kombinacyjnych	97
4. Modelowanie układów sekwencyjnych	99
4.1. Przerzutniki zatraskowe (<i>Latches</i>)	100
4.2. Przerzutniki <i>flip-flop</i>	102
4.3. Reguły specyfikacji elementów sekwencyjnych	104
4.4. Przypisania proceduralne	106
4.4.1. Przypisanie blokujące	106
4.4.2. Przypisanie nieblokujące	109
4.4.3. Proceduralne przypisania ciągle	111
4.5. Modelowanie automatów sekwencyjnych	112
4.5.1. Specyfikacja z 3 procesami	113
4.5.2. Specyfikacja z 2 procesami	114

4.5.3.	Specyfikacja z 1 procesem	115
4.5.4.	Modelowanie automatów Mealy'ego	116
4.5.5.	Niejawny styl specyfikacji automatów	118
4.5.6.	Potok	119
4.6.	Modelowanie procesów współbieżnych.....	120
4.6.1.	Instrukcja zdarzenia	121
4.6.2.	Instrukcja <i>wait</i>	126
4.6.3.	Instrukcja <i>wait</i> a instrukcja <i>while</i>	129
4.6.4.	Instrukcja <i>wait</i> a instrukcja zdarzenia	130
4.7.	Przykład: prosty, potokowy mikroprocesor	131
5.	Projekty	147
5.1.	Sterownik 7-segmentowego wyświetlacza LED.....	148
5.2.	Konwertery kodu.....	152
5.2.1.	Konwerter kodu binarnego do kodu BCD.....	152
5.2.2.	Konwerter kodu BCD do kodu binarnego.....	156
5.3.	Realizacja wybranych operacji arytmetycznych.....	164
5.3.1.	Moduł mnożenia całkowitego.....	164
5.3.2.	Moduł dzielenia całkowitego z resztą	166
5.3.2.	Moduł wyliczający odwrotność.....	169
5.4.	Sterownik alfanumerycznego wyświetlacza LCD.....	173
5.4.1.	Obsługa wyświetlacza z interfejsem 8-bitowym.....	174
5.4.2.	Obsługa wyświetlacza z interfejsem 4-bitowym.....	181
5.4.3.	Obsługa wyświetlacza z wykorzystaniem specjalizowanego mikrokontrolera.....	184
5.5.	Port szeregowy UART	191
5.5.1.	Moduł generatora sygnału taktującego	191
5.5.2.	Nadajnik	193
5.5.3.	Odbiornik	195
5.5.4.	Bufor FIFO dla nadajnika i odbiornika transmisji szeregowej.....	197
5.5.5.	Przykładowa aplikacja.....	200
5.6.	Sprzętowa obsługa magistrali 1-Wire	202
5.6.1.	Protokół 1-Wire	202
5.6.2.	Blok układu czasowego.....	206
5.6.3.	Blok generowania impulsu zerującego	207
5.6.4.	Blok odczytu danych	209
5.6.5.	Blok zapisu danych.....	211
5.6.6.	Obsługa termometru DS18B20.....	212

5.7.	Mikrokontroler PicoBlaze z 1-taktowym rdzeniem.....	217
5.7.1	Mikrokontrolery osadzone w FPGA.....	217
5.7.2.	Behawioralna wersja opisu mikrokontrolera PicoBlaze	219
5.7.3.	Sprzętowy <i>bootloader</i> dla mikrokontrolerów PicoBlaze/PBlazeZH.....	230
5.7.4.	Przykładowa aplikacja z mikrokontrolerem PBlazeZH.....	237
5.8.	Mikrokontroler bazujący na rodzinie PIC16F8xx <i>Microchip</i>	246
5.8.1.	Charakterystyka mikrokontrolera.....	247
5.8.2.	Opis behawioralny mikrokontrolera	258
5.8.3.	Sprzętowy <i>bootloader</i> dla mikrokontrolera PIC16_8ZH	267
5.8.4.	Przykładowa aplikacja z mikrokontrolerem PIC16_8ZH.....	272
Dodatki	281
Dodatek A. Formalny opis składni standardu Verilog-2001	282
A.1.	Tekst źródłowy	282
A.1.1.	Tekst źródłowy biblioteki	282
A.1.2.	Tekst źródłowy konfiguracji.....	282
A.1.3.	Tekst źródłowy modułu i podstawowych elementów logicznych.....	283
A.1.4.	Parametry modułów i porty	283
A.1.5.	Elementy składni modułu	283
A.2.	Deklaracje	284
A.2.1.	Typy deklaracji	284
A.2.2.	Deklaracje typów danych.....	285
A.2.3.	Listy deklaracji	286
A.2.4.	Deklaracja przypisań	286
A.2.5.	Deklaracja zakresu	286
A.2.6.	Deklaracje funkcji	286
A.2.7.	Deklaracja zadania	286
A.2.8.	Deklaracje elementów składniowych bloku.....	287
A.3.	Instancje podstawowych elementów logicznych.....	287
A.3.1.	Konkretyzacja podstawowych elementów logicznych i instancje	287
A.3.2.	Natężenie sygnału dla podstawowych elementów logicznych	288
A.3.3.	Terminale podstawowych elementów logicznych.....	288
A.3.4.	Typy bramek i przełączników	288
A.4.	Moduł i konkretyzacje generowane	288
A.4.1.	Konkretyzacje modułu	288
A.4.2.	Konkretyzacje generowane	289

A.5. Deklaracje i konkretyzacje elementów definiowanych przez użytkownika (UDP)	289
A.5.1. Deklaracja elementów UDP	289
A.5.2. Porty UDP	289
A.5.3. Ciało UDP	290
A.5.4. Konkretyzacja UDP	290
A.6. Instrukcje behawioralne	290
A.6.1. Instrukcje przypisania ciągłego	290
A.6.2. Bloki proceduralne i przypisania	290
A.6.3. Bloki współbieżne i sekwencyjne	290
A.6.4. Instrukcje	291
A.6.5. Instrukcje sterowania timingiem	291
A.6.6. Instrukcje warunkowe	292
A.6.7. Instrukcje <i>case</i>	292
A.6.8. Pętle	292
A.6.9. Instrukcje wywołania zadań	293
A.7. Sekcja <i>specify</i>	293
A.7.1. Deklaracja bloku <i>specify</i>	293
A.7.2. Deklaracje ścieżki <i>specify</i>	293
A.7.3. Terminale bloku <i>specify</i>	293
A.7.4. Ścieżka opóźnień <i>specify</i>	293
A.7.5. Ustalanie czasu systemowego	294
A.8. Wyrażenia	296
A.8.1. Konkatenacje	296
A.8.2. Wywołania funkcji	297
A.8.3. Wyrażenia	297
A.8.4. Elementy podstawowe	298
A.8.5. Wartości lewej strony wyrażenia	298
A.8.6. Operatory	299
A.8.7. Liczby	299
A.8.8. Łańcuchy znakowe	299
A.9. Ogólne	300
A.9.1. Atrybuty	300
A.9.2. Komentarze	300
A.9.3. Identyfikatory	300

A.9.4. Odgałęzienia identyfikatorów	301
A.9.5. Znaki białe	301
Dodatek B. Wybrane zagadnienia realizacji układów asynchronicznych w strukturach FPGA	302
B.1. Układy asynchroniczne.....	302
B.1.1. Układy asynchroniczne typu Huffmana	303
B.1.2. Układy asynchroniczne z samotaktowaniem	304
B.1.3. Układy asynchroniczne ze współpracą lokalną	305
B.2. Realizacja układów asynchronicznychw strukturach FPGA.....	309
B.3. Hazard	310
B.3.1. Hazard w układach kombinacyjnych.....	311
B.3.2. Hazard w układach sekwencyjnych.....	313
B.3.3. Zjawisko hazardu w strukturach FPGA	314
B.4. Metastabilność.....	315
Literatura.....	319